

Docket No.: MUH-12862

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By: 

Date: January 22, 2004

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/698,063  
Applicant : Ordwin Haase, et al.  
Filed : October 30, 2003

Docket No. : MUH-12862  
Customer No.: 24131

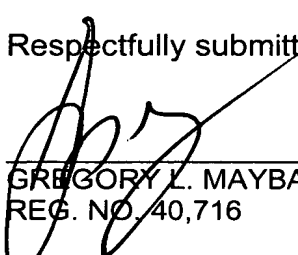
CLAIM FOR PRIORITY

Mail Stop: Missing Parts  
Hon. Commissioner for Patents,  
Alexandria, VA 22313-1450  
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 50 576.4 filed October 30, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

  
\_\_\_\_\_  
GREGORY L. MAYBACK  
REG. NO. 40,716

Date: January 22, 2004

Lerner and Greenberg, P.A.  
Post Office Box 2480  
Hollywood, FL 33022-2480  
Tel: (954) 925-1100  
Fax: (954) 925-1101

GLM/av



## Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

**Aktenzeichen:** 102 50 576.4

**Anmeldetag:** 30. Oktober 2002

**Anmelder/Inhaber:** Infineon Technologies AG,  
München/DE

**Bezeichnung:** Schaltungsanordnung zur Signalsymmetrierung  
in gegenphasigen Bustreibern

**IPC:** H 01 L, H 03 K

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 30. Oktober 2003  
Deutsches Patent- und Markenamt  
Der Präsident  
Im Auftrag

A large, stylized handwritten signature in black ink, likely belonging to the President of the German Patent and Trademark Office.

Schäfer

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# MÜLLER • HOFFMANN & PARTNER – PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17  
D-81667 München

Anwaltsakte: 12322

Ko/Ant/mk

Anmelderzeichen: 2002P12477 DE  
(2002 E 12473 DE)

30.10.2002

## **Infineon Technologies AG**

St.-Martin-Straße 53  
81669 München

---

**Schaltungsanordnung zur Signalsymmetrierung  
in gegenphasigen Bustreibern**

---

---

Beschreibung

Schaltungsanordnung zur Signalsymmetrierung in gegenphasigen Bustreibern

5

Die Erfindung betrifft eine Schaltungsanordnung zur Signalsymmetrierung in gegenphasigen Bustreibern, insbesondere eines CAN-Busses, die in jedem Treiberpfad des Busses eine Treiberverstärkereinheit und eine von dieser getriebene Endstufe mit einer Leistungstransistorschaltung aufweisen.

10

In modernen Kraftfahrzeugen müssen häufig mehrere Steuergeräte miteinander kommunizieren können, deren Übertragungsraten sich typischerweise zwischen 125 kBit/s und 1 MBit/s bewegen. Bei diesem Anwendungsfall müssen die Übertragungsraten hoch genug sein, um das geforderte Echtzeitverhalten garantieren zu können. Der standardisierte gegenphasige symmetrische CAN-Bus (CAN = Controller Area Network) arbeitet nach dem Multimasterprinzip, bei dem mehrere gleichberechtigte Steuergeräte durch die lineare CAN-Busstruktur miteinander verbunden sind.

15

20

25

Beiliegende Fig. 6 stellt eine bekannte, von der Anmelderin derzeit verwendete Bustreiberschaltungsanordnung dar, die zwei gegenphasige Treiberpfade I und II besitzt. Die prinzipiell symmetrisch aufgebauten Treiberpfade I und II weisen ausgehend von einem Eingang T x D jeweils eine Treiberverstärkereinheit TR1 bzw. TR2 und eine Leistungstransistorschaltung auf, die im Treiberpfad I aus einem PMOS-Leistungstransistor M1, einer Diode D1 und einem

30

Drain/Source-Widerstand R1 besteht und die im Treiberpfad II aus einem DMOS-Leistungstransistor M2, einer Diode D2 und einem Drain/Source-Widerstand R2 besteht. In jedem Treiberpfad I und II wird durch einen Spannungsteiler RSplit1 und RSplit2 eine Mittenspannung gebildet, die an einem Knoten

35

Split Term anliegt. Ausgangsseitig, das heißt an den gegenphasigen Busleitungen CANH und CANL liegen in jedem Trei-

berpfad I und II Abschlusswiderstände  $R_{term1}$  und  $R_{term2}$  jeweils zwischen der Busleitung CANH und der Busleitung CANL und dem Knoten Split Term. Zu bemerken ist, dass die Treiberverstärkereinheiten TR1 und TR2 invertierende Logikverstärker sind, die durch entsprechende Inverterketten gebildet sein können.

In dem in Fig. 7 gezeigten Signaldiagramm sind in der ersten Zeile die gegenphasigen Signalspannungsverläufe (U) jeweils auf der Busleitung CANH und der Busleitung CANL dargestellt.

Die untere Zeile der Fig. 7 zeigt, dass eine Unsymmetrie in den Leistungstransistorschaltungen, das heißt den Endstufen der Bustreiber der Treiberpfade I und II einen Gleichtaktversatz bzw. einen Gleichspannungsoffset  $U_{offset}$  von, zum Beispiel, 200 mV verursacht. Durch diesen Gleichtaktversatz wirkt die CAN-Leitung wie eine strahlende Antenne. Die mit P0-P3 bezeichneten, durch den Gleichtaktversatz verursachten Störspitzen, wie sie zu den Zeitpunkten T0-T3 auftreten, können insbesondere bei der Anwendung des CAN-Busses in Kraftfahrzeugen unangenehme Folgen haben.

Sind die Einschaltwiderstände der Leistungstransistorschaltungen in beiden Treiberpfaden I und II gleich groß, so ist der in Fig. 7 veranschaulichte Gleichtaktversatz nicht vorhanden. Falls die Leistungstransistorschaltungen hinsichtlich der Einschaltwiderstände möglichst genau dimensioniert werden können, kann der Gleichtaktversatz eliminiert werden. Da aber PMOS-Transistoren und DMOS-Transistoren im Fertigungsprozess sich nicht gleichartig ändern, wird in der Praxis bei Anwendung der in Fig. 6 gezeigten Treiberschaltung immer ein Gleichtaktversatz vorhanden sein. Eine gewisse Symmetrierung kann durch Abgleich der in Reihe zu den Leistungstransistoren M1 und M2 liegenden Widerständen R1, R2 erreicht werden. Dieser Möglichkeit sind jedoch enge Grenzen gesetzt, da die Leistungstransistoren der Endstufe größer und die Stromtragfähigkeit der Endstufe zu stark eingeschränkt wird.

Es sei erwähnt, dass der PMOS-Transistor M1 für die gleiche Leistung mindestens dreimal größer als der DMOS-Transistor M2 ist.

5

Die Erfindung zielt demnach darauf ab, den oben erwähnten Nachteil des Gleichtaktversatzes durch eine Symmetrierung der gegenphasigen Bustreiber zu vermeiden.

10

Diese Aufgabe wird anspruchsgemäß gelöst. Prinzipiell löst die Erfindung diese Aufgabe dadurch, dass einer der Endstufentransistoren, vorzugsweise der DMOS-Transistor M2 so geregelt wird, dass ein optimales, nämlich gleiches  $R_{on}$ -Verhältnis erreicht wird.

15

Dementsprechend weist eine die obige Aufgabe lösende erfindungsgemäße Schaltungsanordnung zur Signalsymmetrierung in gegenphasigen Bustreibern, insbesondere eines CAN-Busses, die in jedem Treiberpfad des Busses eine Treiberverstärkereinheit und eine von dieser getriebene Endstufe mit einer Leistungstransistorschaltung zum Senden eines gegenphasigen Signals über eine Zwei-Draht-Leitung aufweisen, eine Regelschaltung auf, die mit einem der Treiberpfade verbunden ist und die den Einschaltwiderstand der Leistungstransistorschaltung dieses Treiberpfads so regelt, dass die Leistungstransistorschaltungen beider Treiberpfade den gleichen Einschaltwiderstand haben.

25

Die Regelung des Einschaltwiderstandes  $R_{on}$  des DMOS-Transistors erfolgt durch die Regelung von dessen Gatespannung. Dabei kann die Gatespannung des Transistors entweder direkt oder vorzugsweise indirekt geregelt werden durch eine Regelung der Versorgungsspannung der diesen DMOS-Leistungstransistor treibenden Treiberverstärkereinheit.

35

In den Ausführungsbeispielen der erfindungsgemäßen Schaltungsanordnung regelt die Regelschaltung die Versorgungsspannung der Treiberstufe des DMOS-Transistors. Bei einem ersten Ausführungsbeispiel weist die Regelschaltung eine Nachbildung in Form eines gegenphasigen internen Bustreibers auf, der aus jeweils im selben Maß kleiner skalierten Komponenten wie der zu regelnde Bustreiber aufgebaut ist. Dieser interne Bustreiber hat einen internen Erfassungspunkt, an dem sich dieselbe Signalgröße einstellt, wie an dem externen Knoten, der nominal den Mittelwert der beiden gegenphasigen Signalspannungen führt. Dies ist der oben erwähnte Knoten Split Term (Fig. 6). Die Regelschaltung setzt dann bekannte Schaltungstopologien zur Regelung der Gatespannung ein.

Bei einem zweiten alternativen Ausführungsbeispiel wird der Messwert direkt durch eine Abtast- und Halteschaltung erfasst. Die mittlere Spannung wird während des eingeschwungenen Ein-Zustandes gemessen und gespeichert. Die weitere Regelung erfolgt dann wie bei dem ersten Ausführungsbeispiel. Das zweite, die Abtast- und Halteschaltung verwendende Ausführungsbeispiel der Regelschaltung hat gegenüber der durch das erste Ausführungsbeispiel vorgeschlagenen Realisierung den Nachteil, dass ein höherer Schaltungsaufwand nötig ist. Der Vorteil der Anwendung der Abtast- und Halteschaltung ist die erhöhte Genauigkeit bei der Ermittlung der Regelsollgröße.

Die obigen und weitere vorteilhafte Merkmale der Erfindung werden in der nachfolgenden, sich auf die Zeichnung beziehenden Beschreibung deutlich gemacht. Die Zeichnungsfiguren zeigen im einzelnen:

Fig. 1 ein Schaltschema einer Schaltungsanordnung eines ersten Ausführungsbeispiels der Erfindung;

Fig. 2 ein Schaltschema einer ersten Variante der in Fig. 1 dargestellten Schaltungsanordnung,



Fig. 3 ein Schaltschema einer zweiten Variante der in Fig. 1 dargestellten Schaltungsanordnung;

5 Fig. 4 ein Schaltschema eines zweiten Ausführungsbeispiels einer erfindungsgemäßen Schaltungsanordnung;

10 Fig. 5 eine Variante des in Fig. 4 dargestellten zweiten Ausführungsbeispiels der erfindungsgemäßen Schaltungsanordnung;

Fig. 6 ein Schaltschema eines bereits beschriebenen bekannten CAN-Bustreibers und

15 Fig. 7 die oben bereits beschriebenen Signalverläufe des in Fig. 6 dargestellten CAN-Bustreibers.

20 Vor der nun folgenden Beschreibung der Ausführungsbeispiele einer erfindungsgemäßen Schaltungsanordnung soll erwähnt werden, dass diese nicht auf eine CAN-Bustreiberstruktur beschränkt ist sondern auch für andere symmetrische gegenphasige Busstrukturen anwendbar ist.

25 In Fig. 1 ist in Form eines Schaltschemas ein erstes Ausführungsbeispiel einer erfindungsgemäßen Schaltungsanordnung zur Signalsymmetrierung der gegenphasigen Bustreiber dargestellt. Die Bustreiber sind, wie in der bereits beschriebenen, den Stand der Technik symbolisierenden Fig. 6 in zwei Treiberpfaden I und II angeordnet und haben dieselbe Schaltungsanordnung wie in Fig. 6, die deshalb hier nicht wiederholt wird. Eine in Fig. 1 gezeigte Regelschaltung 10 regelt die Versorgungsspannung der Treiberverstärkereinheit TR2 im zweiten Treiberpfad II und damit die Gatespannung des DMOS-Leistungstransistors M2. Die Regelschaltung 10 enthält eine Nachbildung der in den Treiberpfaden I und II enthaltenen Treiber-

30

35

strukturen, bei denen die Werte der Komponenten jeweils im gleichen Verhältnis skaliert sind (verkleinerte oder vergrößerte Werte). In den Figuren 1 bis 3 bezeichnet der Buchstabe  $n$  das Skalierungsverhältnis für die Komponenten der in der  
5 Regelschaltung 10 enthaltenen internen Bustreiber.

Im Treiberpfad I sind in der Regelschaltung 10 der Leistungstransistor  $M1/n$  und die Diode  $D1/n$  jeweils im Verhältnis  $1/n$  gegenüber dem PMOS-Leistungstransistor  $M1$  und der Diode  $D1$   
10 verkleinert, während der Widerstand  $R1 \cdot n$  um den Faktor  $n$  größer ist als der Widerstand  $R1$ . Dasselbe gilt für die Nachbildung des internen Bustreibers im Treiberpfad II. Dem um den Faktor  $1/n$  verkleinerten PMOS-Transistor  $M1/n$  wird über eine Treiberverstärkernachbildung  $A1$  ein statisches Ein-  
15 Signal angelegt, welches nur beim Abschalten der Versorgungsspannung ausgeschaltet wird. Diese Treiberverstärkernachbildung wird, wie der Treiberverstärker  $TR1$ , von der Versorgungsspannung  $VCC$  versorgt. In ähnlicher Weise erhält der verkleinerte DMOS-Leistungstransistor  $M2/n$  ein statisches  
20 Ein-Signal von einem Treiberverstärker  $A1$ , dessen Versorgungsspannung jedoch wie die des richtigen Treiberverstärkers  $TR2$  geregelt ist. Die beiden nachgebildeten Leistungstransistoren  $M1/n$  und  $M2/n$  sind durch zwei in Reihe geschaltete nachgebildete Abschlusswiderstände  $R_{term}/2n$  verbunden, deren  
25 gegenseitiger Verbindungspunkt einen internen Knoten  $K_{int}$  bildet, an dem die Mitten-Spannung abgreifbar ist. Ein Operationsverstärker  $OTA1$  ist mit einem Eingang an diesem internen Knoten  $K_{int}$  angeschlossen und erhält an seinem anderen Eingang eine Referenzspannung  $V_{ref}$ . Der Ausgang des Operationsverstär-  
30 kers  $OTA1$  ist mit der Basis eines Transistors  $Q1$  verbunden, dessen Emitterpotential die Regelspannung, das heißt die Versorgungsspannung für den Treiberverstärker  $TR2$  und den nachgebildeten Treiberverstärker  $A2$  erzeugt. Zwei Kapazitäten  $C1$  und  $C2$  dienen zur Glättung dieser Spannung.

Fig. 2 zeigt eine Variante der in Fig. 1 dargestellten Schaltungsanordnung, wobei die in Fig. 1 mit dem Transistor Q1 gebildete Ausgangsstufe der Regelschaltung 10 durch eine allgemeine Pufferstufe aus einem Gainverstärker  $A_G$  mit dem Verstärkungsgrad (Gain) gleich 1 ersetzt ist. Die weiteren Details der Schaltungsanordnung der Fig. 2 sind identisch wie in Fig. 1.

Fig. 3 zeigt eine weitere Variation des in Fig. 1 dargestellten ersten Ausführungsbeispiels der erfindungsgemäßen Schaltungsanordnung, bei der in der Regelschaltung 10 das dem einen Eingang des Operationsverstärkers OTA1 zugeführte Referenzpotential mit dem Potential am externen Knoten Split Term verknüpft ist. Die sonstige Schaltungsanordnung der Fig. 3 und ihre Funktion ist identisch wie die Anordnung und Funktion der in Fig. 1 dargestellten Schaltungsanordnung.

Fig. 4 zeigt ein zweites Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung, bei dem die hier mit 11 bezeichnete Regelschaltung eine Abtast- und Halteschaltung aufweist, die die Mittenspannung während des eingeschwungenen Ein-Zustandes des Bustreibers misst und speichert. Die Mittenspannung wird durch Symmetrierwiderstände Z1 und Z2 gebildet, von einem Operationsverstärker OTA verstärkt und mit diesem Signal getaktet von einem Takt CL, ein Kondensator C1 aufgeladen, dessen Ladespannung von einem Transistor Q1 wiederum als Regelspannung zur Regelung der Versorgungsspannung des Treiberverstärkers TR2 und damit der Gatespannung des DMOS-Transistors M2 verwendet wird.

Die in Fig. 5 dargestellte Schaltungsanordnung bildet eine Variante des zweiten zuvor anhand der Fig. 4 beschriebenen Ausführungsbeispiels der Erfindung, bei der der Ausgangstransistor Q1 ersetzt ist durch einen Gainverstärker  $A_G$  mit dem Verstärkungsgrad (Gain) gleich 1. Die sonstige Schaltungsan-

ordnung insbesondere die Bildung der Mittenspannung in der Regelschaltung 11 ist identisch ausgeführt wie in Fig. 4.

Der besondere Vorteil des zuletzt beschriebenen und in den Fig. 4 und 5 dargestellten zweiten Ausführungsbeispiels der erfindungsgemäßen Schaltungsanordnung besteht in der größeren Genauigkeit der Erfassung der Regelsollgröße. Dafür braucht man für die Abtast- und Halteschaltung einen erhöhten Schaltungsaufwand im Vergleich mit den Lösungen gemäß dem ersten Ausführungsbeispiel.

Die oben beschriebenen und in den Fig. 1 bis 5 dargestellten Ausführungsbeispiele der erfindungsgemäßen Schaltungsanordnung ermöglichen eine Symmetrierung der gegenphasigen Busstreiber und insbesondere die Gleichheit der Einschaltwiderstände der beiden Leistungstransistoren M1 und M2 in den beiden Treiberzweigen I und II, so dass der störende Gleichtaktversatz der Ausgangssignale auf den Busleitungen CANH und CANL und die dadurch entstehenden Störspitzen eliminiert sind.

Es ist noch anzumerken, dass die mit OTA bezeichneten Operationsverstärker in den Fig. 1 bis 5 Operationsverstärker mit transparentem Ausgang sind, die somit als Stromquelle fungieren.

## Patentansprüche

1. Schaltungsanordnung zur Signalsymmetrierung in gegenphasigen Bustreibern, insbesondere eines CAN-Busses, die in jedem  
5 Treiberpfad (I, II) des Busses eine Treiberverstärkereinheit (TR1, TR2) und eine von dieser getriebene Endstufe mit einer Leistungstransistorschaltung zum Senden eines gegenphasigen Signals (CANH, CANL) über eine Zwei-Draht-Leitung aufweisen,  
dadurch gekennzeichnet,

10 dass eine Regelschaltung (10; 11) mit einem der Treiberpfade (I, II) verbunden ist, die den Einschaltwiderstand der Leistungstransistorschaltung dieses Treiberpfads (I, II) so regelt, dass die Leistungstransistorschaltungen beider Treiberpfad (I, II) den gleichen Einschaltwiderstand haben.

15 2. Schaltungsanordnung nach Anspruch 1,  
dadurch gekennzeichnet,  
dass die Leistungstransistorschaltung des einen Treiberpfads (I) einen P-MOS-Leistungstransistor (M1) und die des anderen  
20 Treiberpfads (II) einen DMOS-Leistungstransistor (M2) aufweist.

25 3. Schaltungsanordnung nach Anspruch 2,  
dadurch gekennzeichnet,  
dass die Regelschaltung (10; 11) den Einschaltwiderstand des DMOS-Leistungstransistors (M2) regelt.

30 4. Schaltungsanordnung nach Anspruch 3,  
dadurch gekennzeichnet,  
dass die Regelschaltung (10; 11) den Einschaltwiderstand ( $R_{on}$ ) durch Regelung der Gatespannung des DMOS-Leistungstransistors (M2) regelt.

35 5. Schaltungsanordnung nach einem der Ansprüche 2 bis 4,  
dadurch gekennzeichnet,

dass die Regelschaltung (10; 11) die Gatespannung des DMOS-Leistungstransistors (M2) durch eine Regelung der Versorgungsspannung der diesen DMOS-Leistungstransistor (M2) treibenden Treiberverstärkereinheit (TR2) regelt.

5

6. Schaltungsanordnung nach einem der vorangehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t ,

10 dass die Regelschaltung (10) einen internen gegenphasigen Bustreiber in Form einer Nachbildung des zu symmetrierenden Bustreibers mittels jeweils im selben Maß (n) skalierten Komponenten aufweist, wobei dieser interne Bustreiber einen internen Erfassungspunkt ( $K_{int}$ ) hat, an dem eine Mittenspannung abgreifbar ist.

15

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 5,

d a d u r c h g e k e n n z e i c h n e t ,

20 dass die Regelschaltung (11) eine Abtast- und Halteschaltung aufweist, die im eingeschwungenen Ein-Zustand des zu symmetrierenden Bustreibers dessen Mittenspannung misst und speichert.

---

## Zusammenfassung

Schaltungsanordnung zur Signalsymmetrierung in gegenphasigen Bustreibern

5

Die Erfindung betrifft eine Schaltungsanordnung zur Signalsymmetrierung in gegenphasigen Bustreibern, insbesondere eines CAN-Busses, die in jedem Treiberpfad (I, II) des Busses eine Treiberverstärkereinheit (TR1, TR2) und eine von dieser getriebene Endstufe mit einer Leistungstransistorschaltung zum Senden eines gegenphasigen Signals (CANH, CANL) über eine Zwei-Draht-Leitung aufweisen, wobei eine Regelschaltung (10; 11) mit einem der Treiberpfade (I, II) verbunden ist, die den Einschaltwiderstand der Leistungstransistorschaltung dieses Treiberpfads (I, II) so regelt, dass die Leistungstransistorschaltungen beider Treiberpfad (I, II) den gleichen Einschaltwiderstand haben.

(Fig. 1)

---

Bezugszeichenliste

I, II	Bustreiberpfade
C1, C2	Kondensatoren
CL	Takt
D1, D2, D1/n, D2/n	Dioden
K <sub>int</sub>	interner Knoten
M1, M2, M1/n, M2/n	Endstufenleistungstransistoren und deren Nachbildung
A1, A2, A	Verstärker
TR1, TR2	Treiberverstärker
Rterm1, Rterm2, Rterm/2n	Abschlusswiderstände
R1, R2, R1 mal n, R2 mal n	Serienwiderstände
RSplit1, RSplit2, Z1, Z2	Symmetrierwiderstände
AG	Gainverstärker
CANH, CANL	erste und zweite Busleitung
Q1	Transistor
VCC	Versorgungsspannung
V <sub>ref</sub>	Referenzspannung
OTA	Operationsverstärker mit transparentem Ausgang
Split Term	externer Knoten



FIG 1

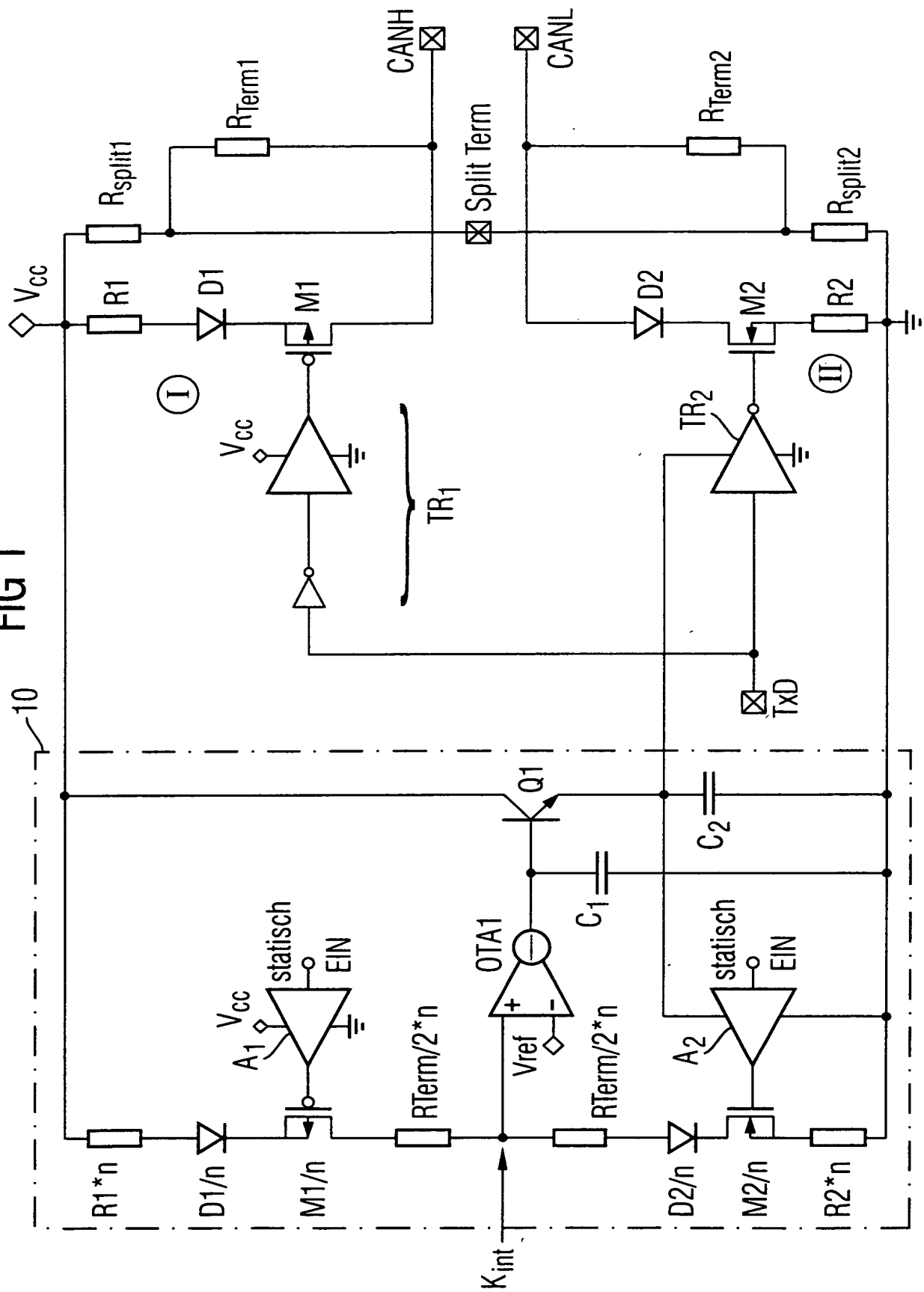


FIG 2

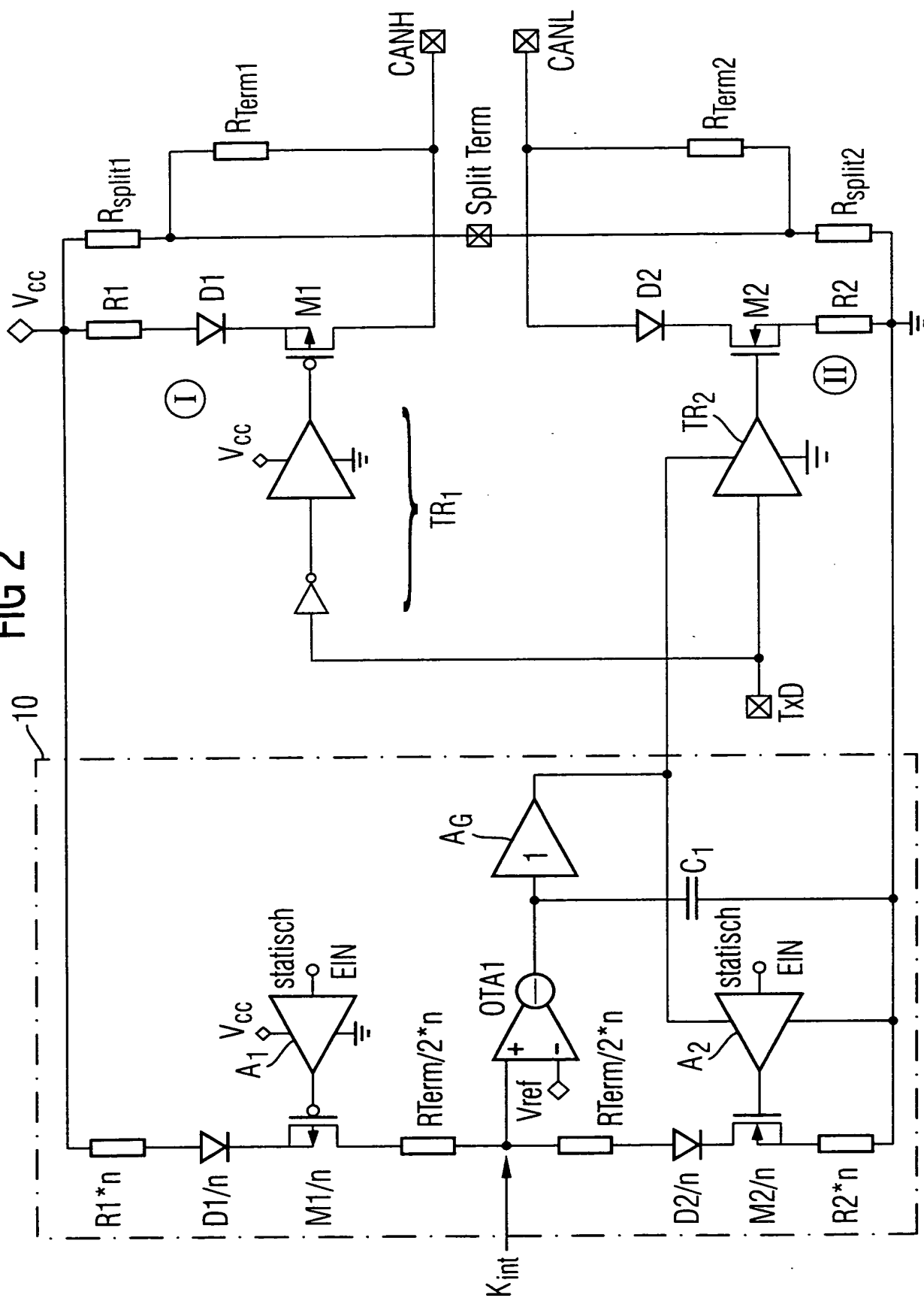


FIG 3

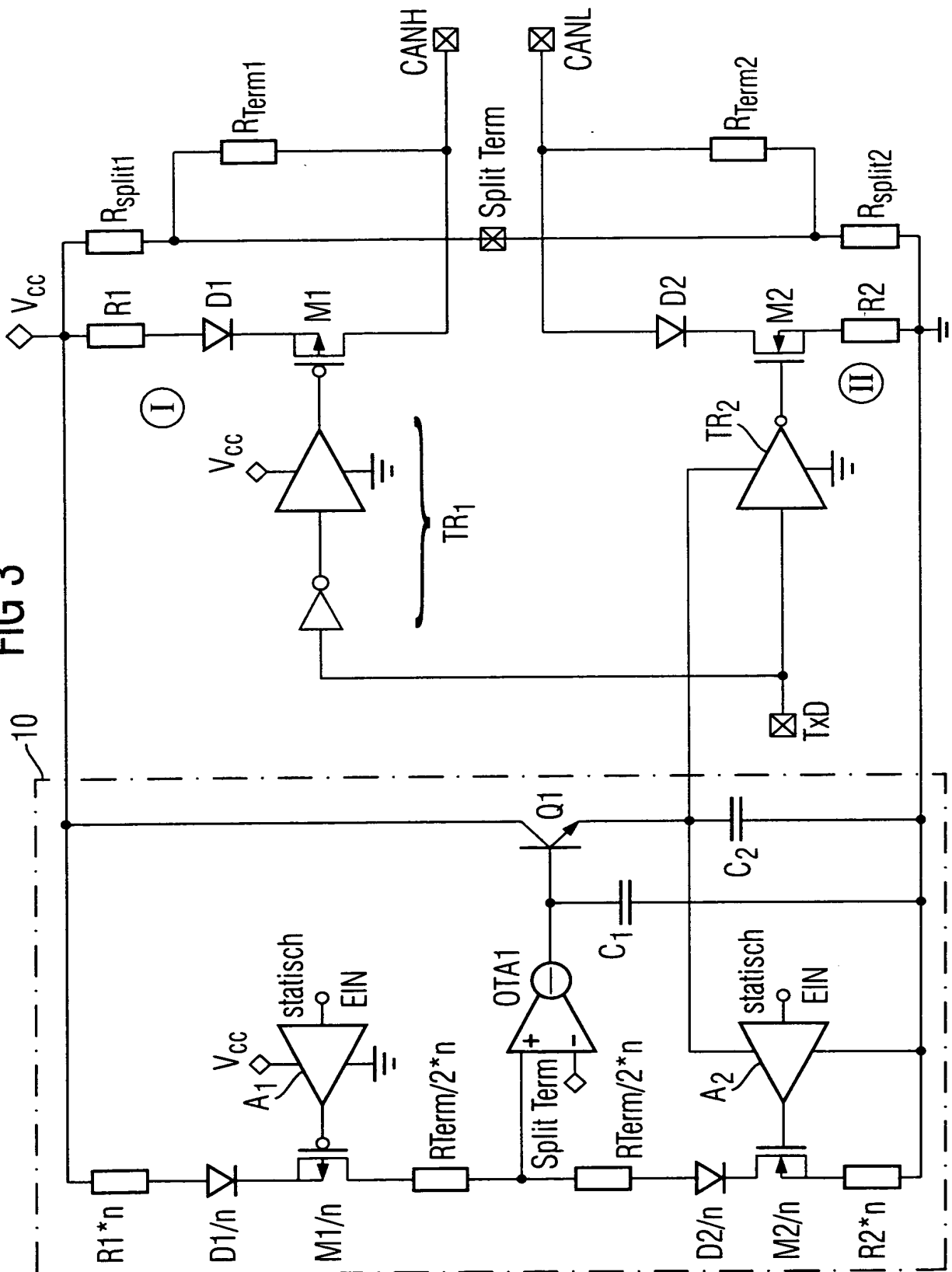


FIG 4

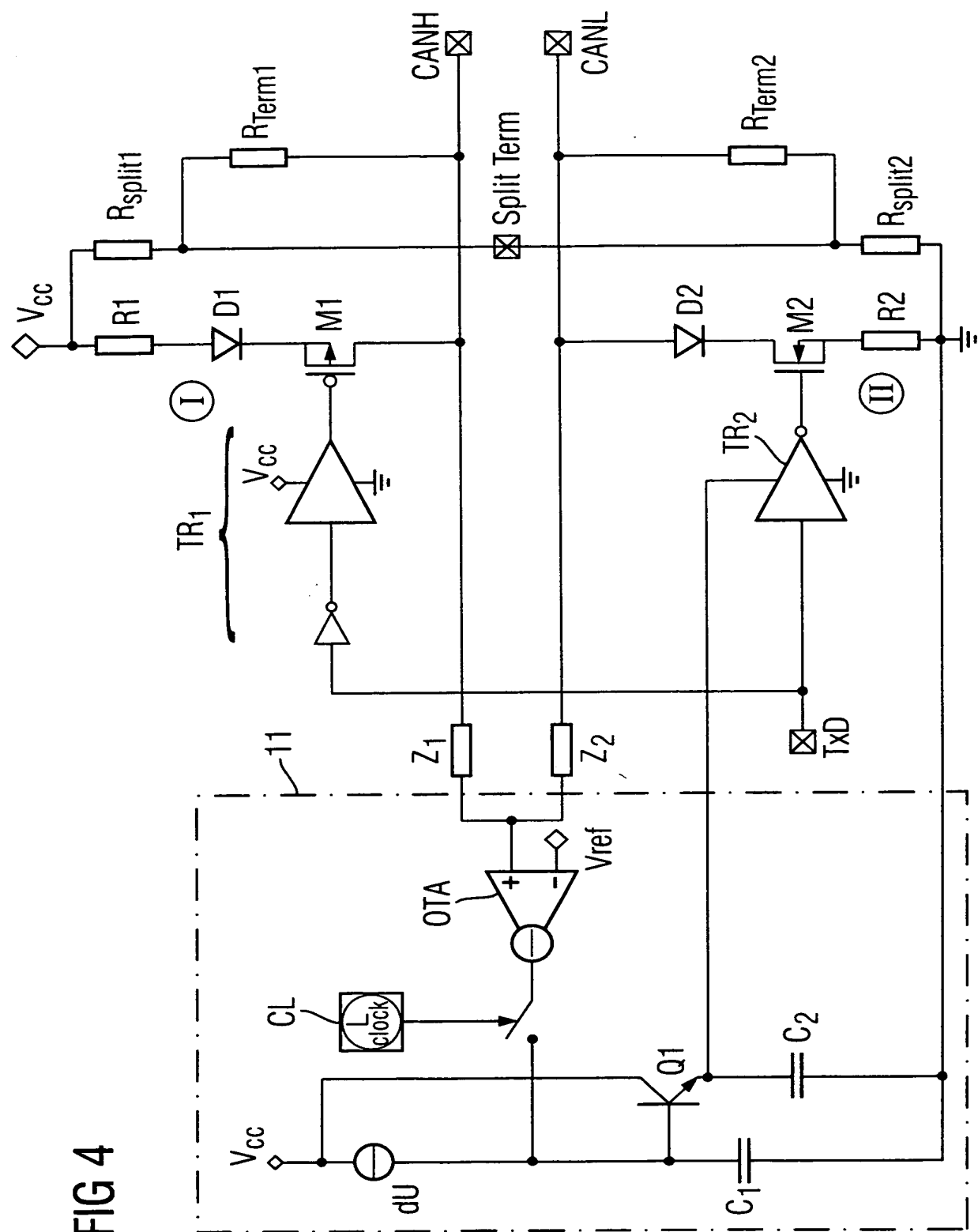


FIG 5

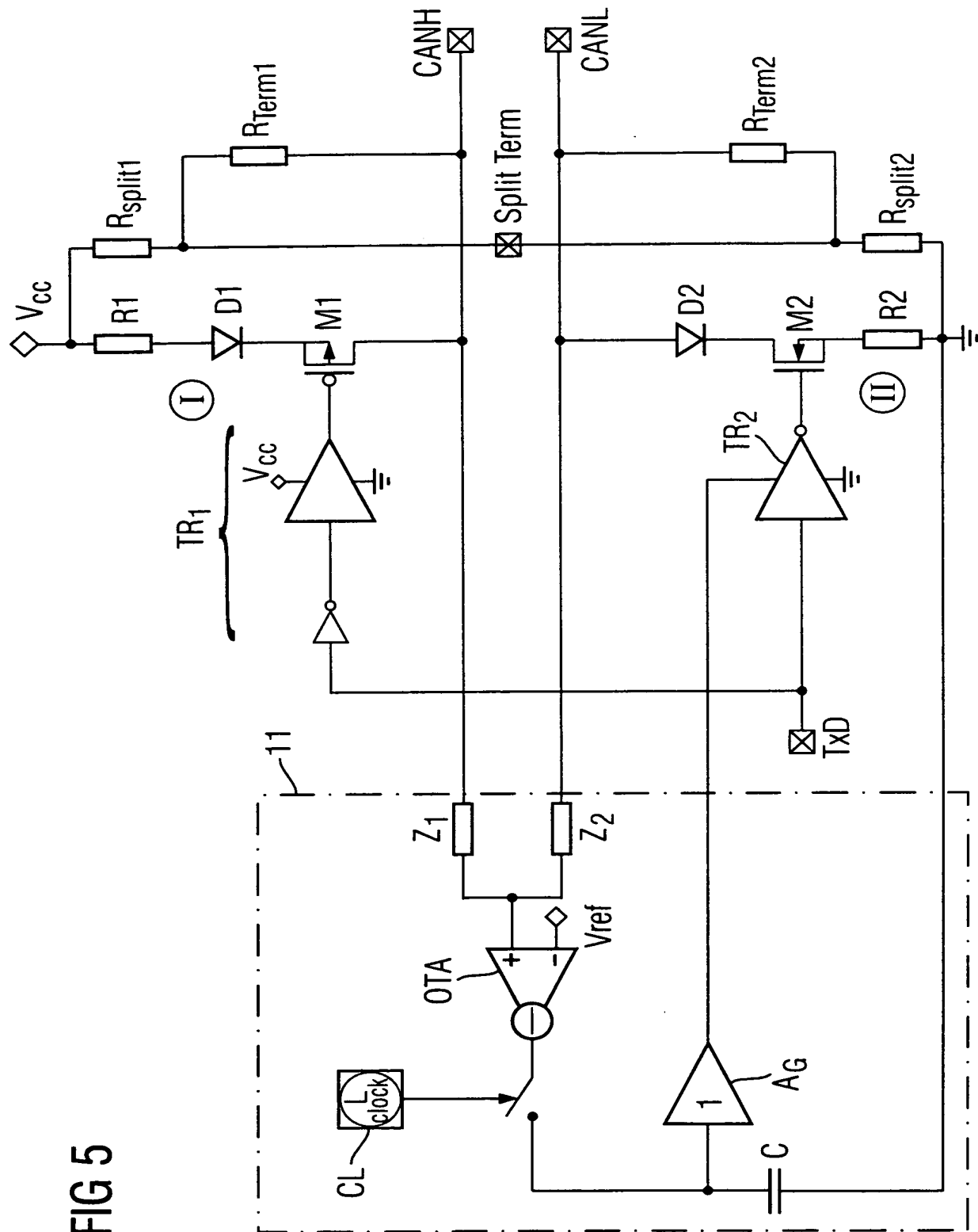


FIG 6

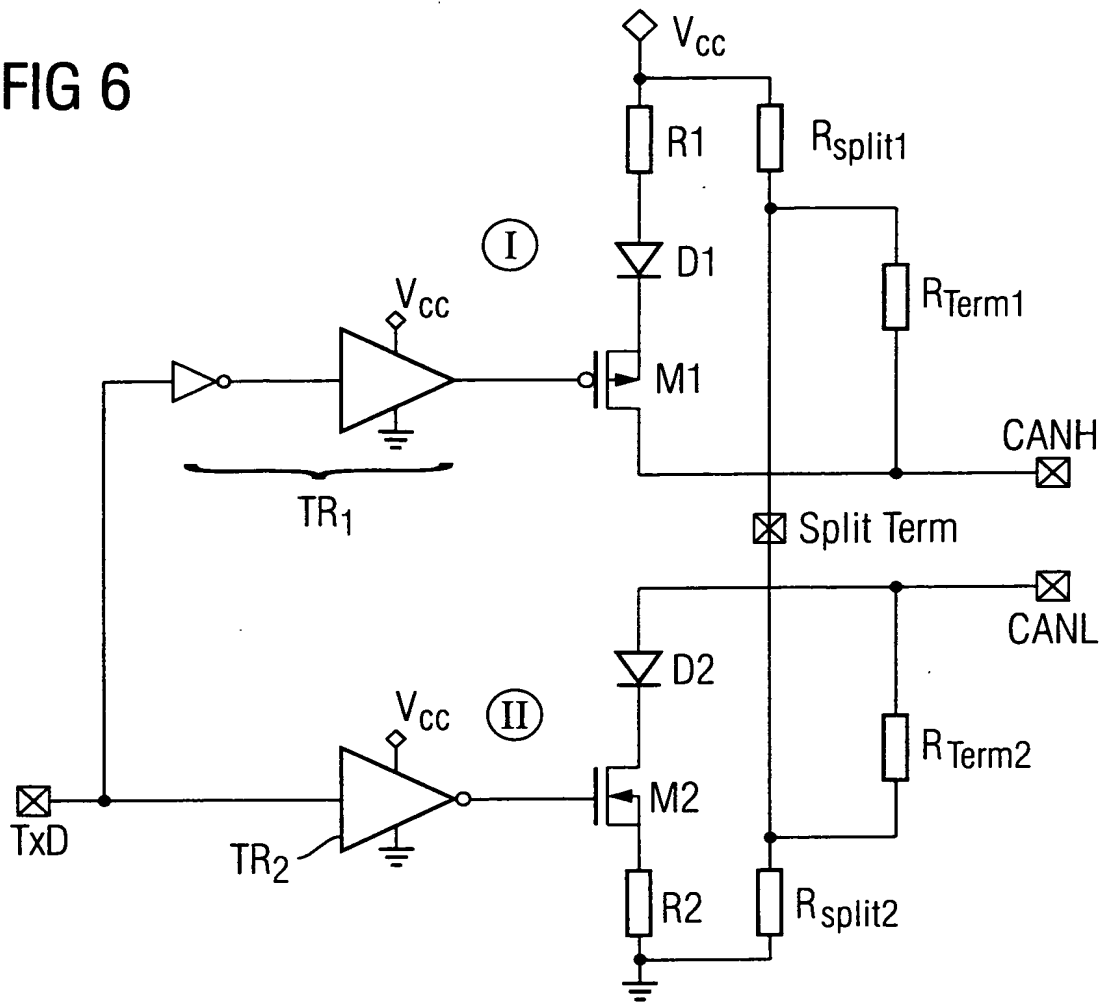
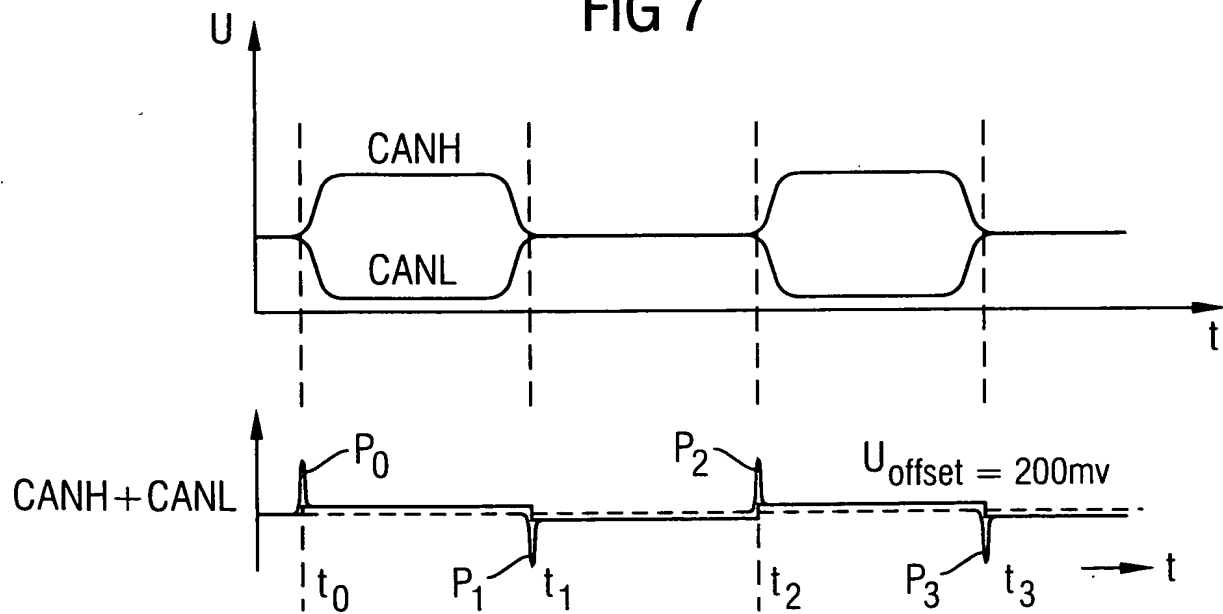


FIG 7



# Figur für die Zusammenfassung

FIG 1

